

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 9月28日

出 願 番 号

Application Number:

特願2001-303689

[ ST.10/C ]:

[ JP2001-303689 ]

出 願 人

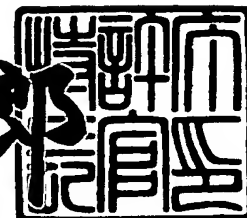
Applicant(s):

芝浦メカトロニクス株式会社

2003年 6月17日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047193

【書類名】 特許願

【整理番号】 A000103817

【提出日】 平成13年 9月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/203

【発明の名称】 スパッタリング用電源装置

【請求項の数】 12

【発明者】

【住所又は居所】 神奈川県横浜市栄区笠間二丁目5番1号 芝浦メカトロ  
ニクス株式会社横浜事業所内

【氏名】 栗山 昇

【発明者】

【住所又は居所】 神奈川県横浜市栄区笠間二丁目5番1号 芝浦メカトロ  
ニクス株式会社横浜事業所内

【氏名】 今川 和彦

【特許出願人】

【識別番号】 000002428

【氏名又は名称】 芝浦メカトロニクス株式会社

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9116897

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スパッタリング用電源装置

【特許請求の範囲】

【請求項 1】 負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

スパッタリング用直流電源と、

このスパッタリング用直流電源の負極側に設けられた第 1 のスイッチ手段と、

この第 1 のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第 2 のスイッチング手段と、

前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルに流れる電流を検出する電流検出手段と、

前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、

前記電流検出手段で検出された電流値とこの積分手段の出力を電流設定値としての誤差を取る差動アンプと、

この差動アンプの出力に応じて前記第 1 のスイッチング手段を開閉制御するパルス幅を可変するパルス幅可変手段と、

前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときに第 2 のスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段を具備したことを特徴とするスパッタリング用電源装置。

【請求項 2】 負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

スパッタリング用直流電源と、

このスパッタリング用直流電源の負極側に設けられた第 1 のスイッチ手段と、

この第 1 のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第 2 のスイッチング手段と、

前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルに流れる電流を検出する電流検出手段と、

この電流検出手段で検出された電流値と設定電流値とを比較するヒステリシスを有するコンパレータと、

このコンパレータの比較結果に応じて前記第 1 のスイッチング手段を駆動する駆動手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項 3】 負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

スパッタリング用直流電源と、

このスパッタリング用直流電源の負極側に設けられた第 1 のスイッチ手段と、

この第 1 のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第 2 のスイッチング手段と、

前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルに流れる電流を検出する電流検出手段と、

前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、

前記電流検出手段で検出された電流値とこの積分手段の出力を電流設定値として比較するヒステリシスを有するコンパレータと、

このコンパレータの比較結果に応じて前記第 1 のスイッチング手段を駆動する駆動手段と、

前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときに第 2 のスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項 4】 負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

所定電圧を発生する直流電源と、

それぞれブリッジ接続された複数のスイッチング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、

前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の 2 次電

圧を出力するトランスと、

前記トランスから出力されるパルス状の 2 次電圧を整流する第 1 及び第 2 のダイオードブリッジと、

前記第 1 のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、

前記第 2 のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、

この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、

前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルを流れる電流を検出する電流検出手段と、

この電流検出手段で検出された電流と電流設定値とを比較するヒステリシスを有するコンパレータと、

このコンパレータの出力に接続される発振器と、

前記コンパレータの出力が H レベルの間にこの発振器から発振される発振信号にตอบสนองして前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項 5】 負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

所定電圧を発生する直流電源と、

それぞれブリッジ接続された複数のスイッチング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、

前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の 2 次電圧を出力するトランスと、

前記トランスから出力されるパルス状の 2 次電圧を整流する第 1 及び第 2 のダイオードブリッジと、

前記第 1 のダイオードブリッジの出力側に接続される複数直列接続される互い

に独立のチョークコイルと、

前記第2のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、

この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、

前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルを流れる電流を検出する電流検出手段と、

前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、

前記電流検出手段で検出された電流値とこの積分手段の出力を電流設定値として比較するヒステリシスを有するコンパレータと、

このコンパレータの出力に接続される発振器と、

前記コンパレータの出力がHレベルの間にこの発振器から発振される発振信号に応答して前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段と

前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときにスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項6】 負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

スパッタリング用直流電源と、

このスパッタリング用直流電源の負極側に設けられた第1のスイッチ手段と、

この第1のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第2のスイッチング手段と、

前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルに流れる電流を検出する電流検出手段と、

設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で

検出された電圧に基づいて得られた値をスパッタリング用直流電源の電圧で割り算する演算回路と、

この演算回路の出力に応じて前記第 1 のスイッチング手段を開閉制御するパルス幅を可変するパルス幅可変手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項 7】 負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

スパッタリング用直流電源と、

このスパッタリング用直流電源の負極側に設けられた第 1 のスイッチ手段と、

この第 1 のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第 2 のスイッチング手段と、

前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルに流れる電流を検出する電流検出手段と、

前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、

この積分手段で得られた設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値をスパッタリング用直流電源の電圧で割り算する演算回路と、

この演算回路の出力に応じて前記第 1 のスイッチング手段を開閉制御するパルス幅を可変するパルス幅可変手段と、

前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときに第 2 のスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項 8】 負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

所定電圧を発生する直流電源と、

それぞれブリッジ接続された複数のスイッチング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、



前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の2次電圧を出力するトランスと、

前記トランスから出力されるパルス状の2次電圧を整流する第1及び第2のダイオードブリッジと、

前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、

前記第2のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、

この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、

前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルを流れる電流を検出する電流検出手段と、

設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を1次側直流電源の電圧で割り算してパルス幅を演算する演算回路と、

この演算回路の出力から出力されるパルス幅に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項9】 負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

所定電圧を発生する直流電源と、

それぞれブリッジ接続された複数のスイッチング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、

前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の2次電圧を出力するトランスと、

前記トランスから出力されるパルス状の2次電圧を整流する第1及び第2のダイオードブリッジと、

前記第1のダイオードブリッジの出力側に接続される複数直列接続される互い

に独立のチョークコイルと、

前記第2のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、

この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、

前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルを流れる電流を検出する電流検出手段と、

前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、

この積分手段の出力を設定電流値として入力し、この電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値をスパッタリング用直流電源の電圧で割り算してパルス幅を演算する演算回路と、

この演算回路の出力に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段と、

前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときにスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項10】 負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

所定電圧を発生する直流電源と、

それぞれブリッジ接続された複数のスイッチング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、

前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の2次電圧を出力するトランスと、

前記トランスから出力されるパルス状の2次電圧を整流する第1及び第2のダイオードブリッジと、

前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、

前記第 2 のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、

この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、

前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルを流れる電流を検出する電流検出手段と、

設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を 1 次側直流電源の電圧で割り算してパルス幅を演算する制御手段と、

この制御手段から出力されるパルス幅を保持するサンプルホールド回路と、

このサンプルホールド回路の出力に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項 1 1】 負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

所定電圧を発生する直流電源と、

それぞれブリッジ接続された複数のスイッチング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、

前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の 2 次電圧を出力するトランスと、

前記トランスから出力されるパルス状の 2 次電圧を整流する第 1 及び第 2 のダイオードブリッジと、

前記第 1 のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、

前記第 2 のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、

この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、

前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルを流れる電流を検出する電流検出手段と、

設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を 1 次側直流電源の電圧で割り算してパルス幅を演算し、そのパルス幅をサンプルホールドする制御手段と、

この制御手段の出力に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とするスパッタリング用電源装置。

【請求項 1 2】 負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、

所定電圧を発生する直流電源と、

それぞれブリッジ接続された複数のスイッチング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、

前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の 2 次電圧を出力するトランスと、

前記トランスから出力されるパルス状の 2 次電圧を整流する第 1 及び第 2 のダイオードブリッジと、

前記第 1 のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、

前記第 2 のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、

この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、

前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、

前記チョークコイルを流れる電流を検出する電流検出手段と、

設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を 1 次側直流電源の電圧で割り算してパルス

ス幅を演算し、そのパルス幅をサンプルホールドし前記スイッチング回路のスイッチング素子にスイッチング信号を出力する制御手段とを具備したことを特徴とするスパッタリング用電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、コンパクトディスク（CD）やデジタル・ビデオ・ディスク（DVD）製造用のスパッタリング装置に用いられるスパッタリング用電源装置に関する。

【0002】

【従来の技術】

コンパクトディスク（CD）やデジタル・ビデオ・ディスク（DVD）製造用のスパッタリング装置に用いられるスパッタリング用電源装置が特許第2835322号、特許第2835323号、USP5,576,939で知られている。

【0003】

コンパクトディスクやデジタル・ビデオ・ディスクへの膜の形成は、マグネトロンスパッタ技術により成膜している。このスパッタリング中にアーク放電の抑制を失敗すると、ターゲット材料が飛散してディスクに付着するため、製品の歩留まりを下げる。

【0004】

また、より短い時間でディスク上への成膜を完了させるためには、スパッタリング装置用電源装置から出力される平均電力を上げる必要がある。

【0005】

【発明が解決しようとする課題】

しかし、平均電力を上げると、スパッタリング中にアーク放電が発生し易くなり、アーク放電の抑制を失敗する頻度も上がってしまう。

【0006】

このようにアーク放電が発生してもスパッタ電流の変動を小さくして、スパッ

タリング放電を安定して継続させることが望まれている。

【0007】

本発明の目的は、アーク放電が発生してもスパッタ電流の変動を小さくさせることができるスパッタリング用電源装置を提供することにある。

【0008】

【課題を解決するための手段】

請求項1記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、スパッタリング用直流電源と、このスパッタリング用直流電源の負極側に設けられた第1のスイッチ手段と、この第1のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第2のスイッチング手段と、前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルに流れる電流を検出する電流検出手段と、前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、前記電流検出手段で検出された電流値とこの積分手段の出力を電流設定値としての誤差を取る差動アンプと、この差動アンプの出力に応じて前記第1のスイッチング手段を開閉制御するパルス幅を可変するパルス幅可変手段と、前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときに第2のスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段を具備したことを特徴とする。

【0009】

請求項2記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、スパッタリング用直流電源と、このスパッタリング用直流電源の負極側に設けられた第1のスイッチ手段と、この第1のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第2のスイッチング手段と、前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルに流れる電流を検出する電流検出手段と、この電流検出手段で検出された電流値と設定電流値とを比較するヒステリシスを有するコンパレータと

、このコンパレータの比較結果に応じて前記第1のスイッチング手段を駆動する駆動手段とを具備したことを特徴とする。

【0010】

請求項3記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、スパッタリング用直流電源と、このスパッタリング用直流電源の負極側に設けられた第1のスイッチ手段と、この第1のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第2のスイッチング手段と、前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルに流れる電流を検出する電流検出手段と、前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、前記電流検出手段で検出された電流値とこの積分手段の出力を電流設定値として比較するヒステリシスを有するコンパレータと、このコンパレータの比較結果に応じて前記第1のスイッチング手段を駆動する駆動手段と、前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときに第2のスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とする。

【0011】

請求項4記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、所定電圧を発生する直流電源と、それぞれブリッジ接続された複数のスイッチング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の2次電圧を出力するトランスと、前記トランスから出力されるパルス状の2次電圧を整流する第1及び第2のダイオードブリッジと、前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、前記第2のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、前記負極出力端子と前記正極出力端子と

の間に発生する電圧を検出する電圧検出手段と、前記チョークコイルを流れる電流を検出する電流検出手段と、この電流検出手段で検出された電流と電流設定値とを比較するヒステリシスを有するコンパレータと、このコンパレータの出力に接続される発振器と、前記コンパレータの出力がHレベルの間にこの発振器から発振される発振信号に応答して前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とする。

## 【 0 0 1 2 】

請求項5記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、所定電圧を発生する直流電源と、それぞれブリッジ接続された複数のスイッチング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の2次電圧を出力するトランスと、前記トランスから出力されるパルス状の2次電圧を整流する第1及び第2のダイオードブリッジと、前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、前記第2のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出部と、前記チョークコイルを流れる電流を検出する電流検出手段と、前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、前記電流検出手段で検出された電流値とこの積分手段の出力を電流設定値として比較するヒステリシスを有するコンパレータと、このコンパレータの出力に接続される発振器と、前記コンパレータの出力がHレベルの間にこの発振器から発振される発振信号に応答して前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段と、前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときにスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とする。

## 【 0 0 1 3 】



請求項 6 記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、スパッタリング用直流電源と、このスパッタリング用直流電源の負極側に設けられた第 1 のスイッチ手段と、この第 1 のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第 2 のスイッチング手段と、前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルに流れる電流を検出する電流検出手段と、設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値をスパッタリング用直流電源の電圧で割り算する演算回路と、この演算回路の出力に応じて前記第 1 のスイッチング手段を開閉制御するパルス幅を変変するパルス幅可変手段とを具備したことを特徴とする。

## 【 0 0 1 4 】

請求項 7 記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、スパッタリング用直流電源と、このスパッタリング用直流電源の負極側に設けられた第 1 のスイッチ手段と、この第 1 のスイッチ手段に複数直列接続される互いに独立のチョークコイルと逆方向アーク防止回路との中間位置に設けられた第 2 のスイッチング手段と、前記負極出力端子と正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルに流れる電流を検出する電流検出手段と、前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、この積分手段で得られた設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値をスパッタリング用直流電源の電圧で割り算する演算回路と、

この演算回路の出力に応じて前記第 1 のスイッチング手段を開閉制御するパルス幅を変変するパルス幅可変手段と、前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときに第 2 のスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とする。

## 【 0 0 1 5 】

請求項 8 記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子

を有するスパッタリング用電源装置において、所定電圧を発生する直流電源と、それぞれブリッジ接続された複数のスイッチング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電圧を出力するトランスと、前記トランスから出力されるパルス状の２次電圧を整流する第１及び第２のダイオードブリッジと、前記第１のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルを流れる電流を検出する電流検出手段と、設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を１次側直流電源の電圧で割り算してパルス幅を演算する演算回路と、この演算回路の出力から出力されるパルス幅に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とする。

## 【 0 0 1 6 】

請求項 9 記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、所定電圧を発生する直流電源と、それぞれブリッジ接続された複数のスイッチング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の２次電圧を出力するトランスと、前記トランスから出力されるパルス状の２次電圧を整流する第１及び第２のダイオードブリッジと、前記第１のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、前記第２のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルを流れる電

流を検出する電流検出手段と、前記電圧検出手段で検出された電圧とこの電流検出手段で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段と、この積分手段の出力を設定電流値として入力し、この電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を1次側直流電源の電圧で割り算してパルス幅を演算する演算回路と、この演算回路の出力に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段と、前記電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときにスイッチング手段が閉じられている間前記積分手段の動作を停止させる手段とを具備したことを特徴とする。

## 【0017】

請求項10記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、所定電圧を発生する直流電源と、それぞれブリッジ接続された複数のスイッチング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の2次電圧を出力するトランスと、前記トランスから出力されるパルス状の2次電圧を整流する第1及び第2のダイオードブリッジと、前記第1のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、前記第2のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルを流れる電流を検出する電流検出手段と、設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を1次側直流電源の電圧で割り算してパルス幅を演算する制御手段と、この制御手段から出力されるパルス幅を保持するサンプルホールド回路と、このサンプルホールド回路の出力に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とする。

## 【0018】

請求項 1 1 記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、所定電圧を発生する直流電源と、それぞれブリッジ接続された複数のスイッチング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の 2 次電圧を出力するトランスと、前記トランスから出力されるパルス状の 2 次電圧を整流する第 1 及び第 2 のダイオードブリッジと、前記第 1 のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、前記第 2 のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位置との間に設けられたスイッチング手段と、前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルを流れる電流を検出する電流検出手段と、設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を 1 次側直流電源の電圧で割り算してパルス幅を演算し、そのパルス幅をサンプルホールドする制御手段と、この制御手段の出力に応じて前記スイッチング回路のスイッチング素子にスイッチング信号を出力するスイッチ制御手段とを具備したことを特徴とする。

## 【 0 0 1 9 】

請求項 1 2 記載のスパッタリング用電源装置は、負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、所定電圧を発生する直流電源と、それぞれブリッジ接続された複数のスイッチング素子を有し、前記直流電源の出力をパルス出力に変換するスイッチング回路と、前記スイッチング回路からパルス状の一次電圧が供給され、パルス状の 2 次電圧を出力するトランスと、前記トランスから出力されるパルス状の 2 次電圧を整流する第 1 及び第 2 のダイオードブリッジと、前記第 1 のダイオードブリッジの出力側に接続される複数直列接続される互いに独立のチョークコイルと、前記第 2 のダイオードブリッジの出力側に接続される逆電圧保持用コンデンサと、この逆電圧保持用コンデンサと前記複数直列接続された互いに独立のチョークコイルと負極出力端子との中間位

置との間に設けられたスイッチング手段と、前記負極出力端子と前記正極出力端子との間に発生する電圧を検出する電圧検出手段と、前記チョークコイルを流れる電流を検出する電流検出手段と、設定電流値とこの電流検出手段により検出された電流値と前記電圧検出手段で検出された電圧に基づいて得られた値を1次側直流電源の電圧で割り算してパルス幅を演算し、そのパルス幅をサンプルホールドし前記スイッチング回路のスイッチング素子にスイッチング信号を出力する制御手段とを具備したことを特徴とする。

【0020】

【発明の実施の形態】

以下図面を参照して本発明の一実施の形態について説明する。図1において、10はスパッタリング用電源装置を制御する制御部である。

【0021】

また、11は例えば、800Vのスパッタリング用直流電源である。この直流電源11の両極間には、コンデンサ12が並列に接続されている。

【0022】

また、直流電源11の負極は、スイッチングトランジスタSW1のソースに接続されている。

【0023】

また、スイッチングトランジスタSW1のドレインと直流電源11の正極間には、フライホイールダイオード13が接続されている。スイッチングトランジスタSW1のドレインはチョークコイルLを介してスイッチングトランジスタSW2のソースに接続されている。このスイッチングトランジスタSW2のドレインは逆電圧源14の正極が接続されている。この逆電圧源14の負極は接地ラインaに接続されている。

【0024】

トランジスタSW2のソースはダイオード15のカソードに接続されている。このダイオード15には抵抗R1が並列に接続されている。このダイオード15と抵抗R1により逆方向アーク防止回路が構成されている。

【0025】

ダイオード 15 のアノードは、本スパッタリング用電源装置の負極（－）に接続される。また、接地ライン a は正極（＋）に接続されている。

## 【 0 0 2 6 】

本スパッタリング用電源装置の負極（－）と正極（＋）との間の負荷電圧  $V_M$  は電圧検出部 16 に検出される。ここで、チャンバ 19 内でスパッタ放電が行なわれているときのスパッタ電圧は通常 300 V 以上であり、アーク放電電圧は 150 V 以下であるので、負荷電圧  $V_M$  を検出することによりスパッタリングが正常に行なわれているか、アーク放電が発生しているかを判断することができる。

## 【 0 0 2 7 】

さらに、ダイオード 13 のアノードとチョークコイル L との間には電流検出器 17 が設けられている。この電流検出器 17 により負荷電流  $C_M$  が検出される。

## 【 0 0 2 8 】

負極（－）はターゲット 18 に接続され、（＋）極はチャンバ 19 に接続されている。

## 【 0 0 2 9 】

ところで、コントローラ 10 には電圧検出部 16 で検出される負荷電圧  $V_M$  及び電流検出器 17 で検出される負荷電流  $C_M$  が入力される。コントローラ 10 は負荷電圧  $V_M$  を検出し、その電圧が 150 V 以下であれば、チャンバ 19 内にアークが発生していると判断し、トランジスタ SW2 に対してゲート信号 SW2 をオンにして出力して、トランジスタ SW2 を導通させる。

## 【 0 0 3 0 】

電圧検出部 16 で検出された負荷電圧  $V_M$  及び電流検出器 17 で検出された負荷電流  $C_M$  はアナログ乗算器 21 において乗算され、瞬時電力  $P$  が算出される。そして、この瞬時電力  $P$  と設定電力  $P_{set}$  との差、つまり誤差電力が算出された後、スイッチ S1 を介して電力フィードバック用の誤差アンプ 22 に入力される。この誤差アンプ 22 において誤差電力が積算される。ここで、スイッチ S1 はコントローラ 10 から出力されるゲート制御信号 SW2 がオンとして出力されると開路（オープン）される。

## 【 0 0 3 1 】

そして、この誤差アンプ 2 2 の出力は設定電流値  $I_{set}$  として誤差アンプ 2 3 に入力される。この誤差アンプ 2 3 は負荷電流  $CM$  と設定電流値  $I_{set}$  との差を増幅して PWM IC 2 4 に出力する。この PWM IC 2 4 は負荷電流  $CM$  と設定電流値  $I_{set}$  との差に応じたパルス幅を有する信号をドライバ 2 5 に出力する。このドライバ 2 5 からトランジスタ SW 1 にゲート制御信号 SW 1 が出力される。

#### 【 0 0 3 2 】

次に、動作について説明する。チャンバ 1 9 内でアークが発生しない状態でスパッタリングが行なわれていれば、電圧検出部 1 6 により 3 0 0 V 以上のスパッタ電圧が負荷電圧として検出される。

#### 【 0 0 3 3 】

従って、コントローラ 1 0 はゲート制御信号 SW 2 をオフしている。つまり、アークの発生を抑制するための逆電圧源 1 4 は印加されていない。

#### 【 0 0 3 4 】

このような状態では、スイッチ S 1 は閉じている。従って、電圧検出部 1 6 で検出された負荷電圧  $VM$  及び電流検出器 1 7 で検出された負荷電流  $CM$  はアナログ乗算器 2 1 において乗算され、瞬時電力  $P$  が算出される。そして、この瞬時電力  $P$  と設定電力  $P_{set}$  との差、つまり誤差電力が算出された後、スイッチ S 1 を介して電力フィードバック用の誤差アンプ 2 2 に入力される。この誤差アンプ 2 2 において誤差電力が積算される。

#### 【 0 0 3 5 】

そして、この誤差アンプ 2 2 の出力は設定電流値  $I_{set}$  として誤差アンプ 2 3 に入力される。この誤差アンプ 2 3 は負荷電流  $CM$  と設定電流値  $I_{set}$  との差を増幅して PWM IC 2 4 に出力する。この PWM IC 2 4 は負荷電流  $CM$  と設定電流値  $I_{set}$  との差に応じたパルス幅を有する信号をドライバ 2 5 に出力する。このドライバ 2 5 によりトランジスタ SW 1 がオン・オフ制御される。

#### 【 0 0 3 6 】

つまり、設定電力  $P_{set}$  となるようにフィードバック制御されると共に、スパッタリング用電源装置の瞬時電力と設定電力  $P_{set}$  との誤差に基づいて設定電流値

I setを設定している。

【0037】

一方、チャンバ19内でアークが発生すると、電圧検出部16で検出される負荷電圧VMは150V以下に低下する。すると、コントローラ10から出力されるゲート制御信号SW2はオンされ、逆電圧源14から出力される正の電圧がチャンバ19に出力され、アークの発生が抑制される。

【0038】

ゲート制御信号SW2はオンされるため、スイッチS1はオフされる。従って、誤差アンプ22から出力される設定電流値I setはチャンバ19にアークが発生する直前の値が保持される。

【0039】

通常、スパッタリング用電源装置を設定電力P setで定電力運転させた場合、チャンバ19内にアークが発生して負荷電圧VMが低下すると、負荷電流CMが増加するように制御されるが、本第1の実施の形態ではアークが発生した場合には、スイッチS1を開いて、設定電流値I setをアーク発生前、つまりスパッタリングを行なっている前の値が保持しているのので、アークが発生しても負荷電流CMの急激な増加を防止することができる。

【0040】

次に、本発明の第2の実施の形態について図2を参照して説明する。図2において、図1と同一部分には同一番号を付し、その詳細な説明は省略する。

【0041】

電流検出器17で検出された負荷電流CMはコンパレータ31の-端子に入力される。このコンパレータ31の+端子には設定電流値I setが入力されている。コンパレータ31の出力は抵抗32を介してコンパレータ31の+端子にフィードバックされる。

【0042】

このコンパレータ31の出力にはドライバ25が接続される。このドライバ25からトランジスタSW1にゲート制御信号SW1が出力される。

【0043】



次に、この第2の実施の形態の動作について説明する。コンパレータ31の出力は抵抗32を介して+端子にフィードバックされているので、ヒステリシスを持ったコンパレータとして機能する。

## 【0044】

コンパレータ31の+入力端子は設定電流値  $I_{set}$  の値より仮に5%高い値になるよう抵抗32等の回路定数を決定しておく。

## 【0045】

まず最初は、負荷電流  $C_M$  はゼロであるので、コンパレータ31の-端子の入力電圧はゼロVである。従って、コンパレータ31の出力は+となり、ドライバ25によりゲート制御信号  $SW1$  がオンにしてトランジスタ  $SW1$  に出力される。このため、トランジスタ  $SW1$  が導通し、チャンバ19に直流電源11が供給され、スパッタ放電がなされる。

## 【0046】

ところで、トランジスタ  $SW1$  が導通すると、負荷電流  $C_M$  は

$$(\text{直流電源11の電圧} - \text{負荷電圧}) = L * di/dt$$

の式に従って増加する。そして、負荷電流  $C_M$  が  $I_{set} * 1.05$  より大きくなると、コンパレータ31の出力はゼロVとなり、ゲート制御信号  $SW1$  がオフされ、トランジスタ  $SW1$  がオフする。

## 【0047】

トランジスタ  $SW1$  がオフすると、負荷電流  $C_M$  は、

$$(-\text{負荷電圧 } V_M) = L * di/dt$$

の式に従って減少する。負荷電流  $C_M$  が設定電流値  $I_{set} * 0.95$  より下がると、コンパレータ31の出力は+となるため、トランジスタ  $SW1$  はオンする。このような動作が繰り返される結果、負荷電流  $C_M$  は設定電流値  $I_{set}$  の  $\pm 5\%$  に抑えることができる。

## 【0048】

次に、本発明の第3の実施の形態を図3を参照して説明する。図3において、図1及び図2と同一部分には同一番号を付し、その詳細な説明については省略する。この第3の実施の形態は、図2で示したように、ヒステリシスを有するコン

パレータ 3 1 の出力でトランジスタ S W 1 を駆動制御している。

【 0 0 4 9 】

そして、コンパレータ 3 1 の + 端子に入力される設定電流値  $I_{set}$  は、図 1 で説明したように、スパッタリング用電源装置の瞬時電力と設定電力  $P_{set}$  との誤差に基づいて設定される。

【 0 0 5 0 】

そして、ヒステリシスを有するコンパレータ 3 1 により負荷電流  $C_M$  は設定電流値  $I_{set}$  の  $\pm 5\%$  に抑えることができる。

【 0 0 5 1 】

さらに、この第 3 の実施の形態では、チャンバ 1 9 への供給電力が設定電力  $P_{set}$  となるように設定電流  $I_{set}$  を決定している。さらに、チャンバ 1 9 内にアークが発生した場合には、スイッチ S 1 をオフすることにより、誤差アンプ 2 2 にチャンバ 1 9 にアークが発生する直前の値を保持するようにしている。従って、チャンバ 1 9 内に供給する電力を設定電力  $P_{set}$  となるように制御しているときに、チャンバ 1 9 内にアークが発生すると負荷電流  $C_M$  が増加しようとするのを未然に防止することができる。

次に、本発明の第 4 の実施の形態について図 4 を参照して説明する。図 4 において、3 相交流電圧 (A C 2 0 0 V 3  $\phi$ ) は 3 相整流回路 D 0 で全波整流された後、フィルタ L 0 を通過した後、一対のスイッチング回路 S 1 0, S 2 0 によりパルス出力にされた後、トランス T 1 の一次側にそれぞれ接続される。

【 0 0 5 2 】

スイッチング回路 S 1 0 はスイッチング素子 S 1 1 ~ S 1 4 を有する。スイッチング素子 S 1 1 と S 1 3 は直列接続されると共に、スイッチング素子 S 1 2 と S 1 4 は直列接続される。さらに、2 つの直列接続体は互いに並列に接続される。これらスイッチング素子 S 1 1 ~ S 1 4 のオン・オフ制御は、御述するドライバからのゲート制御信号により行われる。

【 0 0 5 3 】

さらに、スイッチング回路 S 1 0 には並列に平滑用コンデンサ C 1 1 が接続されている。

## 【 0 0 5 4 】

トランス T 1 の 2 次側は 4 つのダイオードからなるブリッジ回路 B 1、B 2 に接続される。

## 【 0 0 5 5 】

ブリッジ回路 B 1 の一端は、4 つ直列接続される互いに独立のチョークコイル L 1 ~ L 4 を介し、更に、逆方向アーク防止回路 4 1 を介して本装置の ( - ) 出力端子 O 1 に接続される。この逆方向アーク防止回路 4 1 はダイオード D 2 に抵抗 R 0 が並列に接続されている。

## 【 0 0 5 6 】

さらに、ブリッジ回路 B 1 の他端は、本装置の ( + ) 出力端子 O 2 に接続される。さらに、最終列のチョークコイル L 4 と逆方向アーク防止回路 4 1 との接続点はスイッチング用トランジスタ ( 以下、スイッチ S W 2 と呼称する ) を介して逆電圧保持用コンデンサ C 3 1 の陽極に接続される。

## 【 0 0 5 7 】

ところで、ブリッジ回路 B 1 の他端は、ブリッジ回路 B 2 の一端に接続されている。ブリッジ回路 B 1 と B 2 との接続点は、コンデンサ C 3 1 の陰極に接続されると共に本装置の ( + ) 出力端子 O 2 に接続される。

## 【 0 0 5 8 】

なお、本装置の ( - ) 出力端子 O 1 と ( + ) 出力端子 O 2 との間には、分圧抵抗 R 1、R 2 との直列接続体が接続される。この分圧抵抗 R 1 と R 2 との接続点の電位は、コントローラ 1 0 に入力される。この分圧抵抗 R 1 及び R 2 により電圧検出部が構成される。このコントローラ 1 0 は、例えばマイクロコンピュータを中心に構成されている。制御部 2 1 は分圧抵抗 R 1 と R 2 との接続点の電位を検出することにより、本装置の ( - ) 出力端子 O 1 と ( + ) 出力端子 O 2 の負荷電圧 V M を検出している。

## 【 0 0 5 9 】

また、4 つ直列接続される互いに独立のチョークコイル L 1 ~ L 4 に流れる電流 I は電流検出器 2 2 により検出される。

## 【 0 0 6 0 】

ところで、本装置の（－）出力端子O1は、ターゲット18に接続され、（＋）出力端子O2はチャンバ19に接続される。通常、本装置の（＋）出力端子O2は接地される。

## 【0061】

コントローラ10は、本装置の（－）出力端子O1と（＋）出力端子O2の負荷電圧VMを検出することにより、チャンバ19内でスパッタ放電が発生しているかアーク放電が発生しているかを判定している。スパッタ電圧は通常300V以上であり、アーク放電電圧は150V以下であるため、本装置の（－）出力端子O1と（＋）出力端子O2の電位差Vが150V以下に下がると、チャンバ19内でアーク放電が発生していると判定される。

## 【0062】

コントローラ10は、アーク放電の発生を検出すると、設定時間T1(0.01~100 $\mu$ s)後にスイッチSW2を設定時間T2(0.3~10 $\mu$ s)オンする。つまり、逆電圧パルスをターゲット18に印加する。この間において、スイッチング素子S11~S14は御述するドライバによりオン、オフ制御され、4つ直列接続される互いに独立のチョークコイルL1~L4に定電流が流れるように制御される。つまり、4つ直列接続される互いに独立のチョークコイルL1~L4に流れる負荷電流CMは電流検出器22により検出される。前述した逆電圧パルスを印加直後のアーク判定時間T3は、10 $\mu$ s(0.01~10 $\mu$ s)以下としている。そして、このアーク判定時間T3経過後に再度アークと判定された場合には、設定時間T1(0.01~100 $\mu$ s)後にスイッチSW2を設定時間T2(0.3~10 $\mu$ s)オンする処理が行われる。以下、アークが検出される間は、アークが検出されなくなるまで、逆電圧パルスが印加され続ける。ここで、アークを判定してから設定時間T1後にスイッチSW2をオンさせるのは、設定時間T1が経過する前にアークが自己消滅する場合があるからである。

## 【0063】

トランスT1の一次コイルに流れる電流CTは電流検出器42により検出される。トランスT1の一次コイルに流れる電流を検出する理由は、決められた時間内に一次電流を交互に流してやらないと、トランスT1が磁気飽和して、大電流

が流れて、スイッチング素子  $S_{11} \sim S_{14}$  を破壊してしまうからである。

## 【 0 0 6 4 】

電流検出器 2 2 で検出されたトランス  $T_1$  の一次コイルに流れる電流  $C_T$  はコンパレータ 5 1 の一端子に入力され、その + 端子にはトランス  $T_1$  の限界電流  $C_{Tlim}$  が入力されている。

## 【 0 0 6 5 】

さらに、電流検出器 2 2 で検出された負荷電流  $C_M$  は、図 2 を参照して前述したヒステリシスをもったコンパレータ 3 1 の一端子に入力される。このコンパレータ 3 1 の + 端子には設定電流値  $I_{set}$  が入力される。

## 【 0 0 6 6 】

さらに、このコンパレータ 3 1 の出力は  $CR$  発振回路 5 2 に出力される。コンパレータ 3 1 の出力が抵抗 5 2 a を介してコンパレータ 5 2 b の + 端子に入力されると共に、抵抗 5 2 c、コンデンサ 5 2 d を介してコンパレータ 5 2 b の一端子に入力される。従って、コンパレータ 3 1 の出力が正のままであると、コンデンサ 5 2 d が充電されていくので、コンパレータ 5 2 d の一端子の入力電位が上昇していき、このコンパレータ 5 2 d の一端子の入力電位が + 端子の入力電位より高くなった時点で、コンパレータ 5 2 d の出力はゼロになる。コンパレータ 5 2 d の出力がゼロとなると、コンデンサ 5 2 d は急激に放電され、+ 入力のヒステリシス設定より下がった時点で + 出力となる。

## 【 0 0 6 7 】

従って、コンパレータ 3 1 の出力が正の間は、 $CR$  発振回路 5 2 は発振し続ける。

## 【 0 0 6 8 】

コンパレータ 5 1、3 1 及び  $CR$  発振回路 5 2 の出力はそれぞれアンド回路 5 3 に入力される。そして、このアンド回路 5 3 の出力は  $T$  型  $FF$  5 4 の  $T$  入力端子に入力されると共に、アンド回路 5 5 a、5 5 b の一方の入力端子に入力される。 $T$  型  $FF$  5 4 の  $Q$  出力はアンド回路 5 5 a の他方の入力端に入力されると共に、その  $\neg Q$  出力はアンド回路 5 5 b の他方の入力端に入力されている。

## 【 0 0 6 9 】

アンド回路 5 5 a の出力はドライバ 5 6 a に出力され、アンド回路 5 5 b の出力はドライバ 5 6 b に出力される。このドライバ 5 6 a によりスイッチング素子 S 1 1, S 1 4 の導通が制御され、ドライバ 5 6 b によれスイッチング素子 S 1 3, S 1 2 の導通が制御される。

## 【 0 0 7 0 】

以上のように構成することにより、コンパレータ 3 1 の出力が正の間は、C R 発振回路 5 2 は発振し続ける。従って、T 型 F F 5 4 の Q 出力は “ 1 ”

“ 0 ” を交互に出力する。この結果、ドライバ 5 6 a、5 6 b が交互に駆動される。このように C R 発振回路 5 2 を設けることにより、トランス T 1 を磁気飽和させないで、トランス T 1 の一次コイルに流れる電流を制御することができる。

## 【 0 0 7 1 】

トランス T 1 の一次コイルに流れる電流を制御する場合には、最初のパルス幅を最大幅にすると、確率  $1/2$  で磁気飽和が起こる。このため、通常のドライバ 5 6 a, 5 6 b では、誤差アンプの時定数をパルス周期の 5 ~ 1 0 倍程度にとつて、図 5 に示すように徐々にパルス幅を広げることによって回避している。

## 【 0 0 7 2 】

ヒステリシスを有するコンパレータ 3 1 を使用した場合には、最初のパルスは全開であるので、 $1/2$  の確率で磁気飽和が起こる。そこで、磁気飽和が初期電流を電流検出器 4 2 で検出し、その値がコンパレータ 5 1 において C T lim より大きいと判定されると、コンパレータ 5 1 の出力はゼロとなるので、ドライバ 5 6 a, 5 6 b から出力されるパルスを停止させて、トランス T 1 の磁気飽和を未然に防止している。

## 【 0 0 7 3 】

次に、図 6 を参照して本発明の第 5 の実施の形態について説明する。図 6 において、図 1 あるいは図 4 と同一部分には同一番号を付し、その詳細な説明については省略する。この第 5 の実施の形態では、図 4 のヒステリシスを有するコンパレータ 3 1 の + 端子に入力される設定電流値 I set を図 1 で説明したように、スパッタリング用電源装置の瞬時電力と設定電力 Pset との誤差に基づいて設定される。

【 0 0 7 4 】

そして、ヒステリシスを有するコンパレータ 3 1 により負荷電流 CM は設定電流値 I set の ± 5 % に抑えることができる。

【 0 0 7 5 】

この第 5 の実施の形態では、チャンバ 1 9 への供給電力が設定電力 P set となるように設定電流 I set を決定している。さらに、チャンバ 1 9 内にアークが発生した場合には、スイッチ S 1 をオフすることにより、誤差アンプ 2 2 にチャンバ 1 9 にアークが発生する直前の値を保持するようにしている。

【 0 0 7 6 】

このように本発明の第 5 の実施の形態では、第 4 の実施の形態の効果の他に、チャンバ 1 9 内に供給する電力を設定電力 P set となるように制御しているときに、チャンバ 1 9 内にアークが発生すると負荷電流 CM が増加しようとするのを未然に防止することができる。

【 0 0 7 7 】

次に、図 7 を参照して本発明の第 6 の実施の形態について説明する。まず、本第 6 の実施の形態の基本原理について説明する。コイル L を流れる電流と電圧との関係は

$$E = L * di/dt \quad \dots (1)$$

となっている。

【 0 0 7 8 】

(1) 式において、L をインダクタンス、Vi を供給パルス、Vo を出力電圧、T を PWM の周期、dt をパルス幅、Is を目標電流、Ir を現在の電流とすると、PWM の 1 周期に変化する電流 di は、

$$di = (Vi - Vo) L * dt - Vo / L * (T - dt) \quad \dots (2)$$

となる。

【 0 0 7 9 】

(2) 式において、第 1 項は PWM パルス ON で電流を増加させ、第 2 項は PWM パルス OFF で L に溜まったエネルギーを負荷に供給して電流が減少することを意味する。

【0080】

次に、(2)式を展開する。

【0081】

$$\begin{aligned} di &= Vi/L * dt - Vo/L * dt - Vo/L * T + Vo/L * dt \\ &= Vi/L * dt - Vo/L * T \quad \dots (3) \end{aligned}$$

この(3)式において、第1項はPWMパルスONで電流を増加させる項、第2項は周期Tの間Voを出力しているのもので、その間に減少する電流と考えられる。

【0082】

制御量はPWMのパルス幅dtなので、(3)式をdtについて解くと以下のようになる。

【0083】

$$\begin{aligned} di + Vo/L * T &= Vi/L * dt \\ dt &= (di + Vo/L * T) * L / Vi \\ &= di * L / Vi + Vo / Vi * T \quad \dots (4) \end{aligned}$$

となる。(4)式において、第1項は、電流の過不足に対する補正パルス幅で、第2項は入力電圧と出力電圧比によって、現状の電流を維持するために必要なパルス幅を意味する。

【0084】

さらに、 $di = Is - Ir$ であるので、

(4)式を変更すると、

$$\begin{aligned} &= (Is - Ir) * L / Vi + Vo / Vi * T \\ &= Is * L / Vi - Ir * L / Vi + Vo / Vi * T \quad \dots (5) \end{aligned}$$

$$= (Is * L - Ir * L + Vo * T) / Vi \quad \dots (6)$$

ここで、(5)式において第1項は設定電流に対するパルス幅、第2項は現在の電流値に対するパルス幅、第3項は電流を維持するために必要なパルス幅である。

【0085】

図7の下側の回路は(6)式をそのまま回路図に置き換えた回路である。つまり、(6)式のIs、Ir、Voが、図7の設定電流値Iset、負荷電流CM、負



荷電圧  $V_M$  に相当する。

【0086】

オペアンプ 61 の一端子には負荷電圧  $V_M$ 、負荷電流  $C_M$ 、設定電流値  $I_{set}$  が入力され、このオペアンプ 61 において、

$I_{set} * L - C_M * L + V_M * T$  が演算される。

【0087】

そして、割り算器 62 において、オペアンプ 61 の出力を入力電圧  $V_i$  で割り算する処理が行なわれる。そして、この割り算器 62 の出力は  $PWMIC24$  に出力される。この  $PWMIC24$  によりパルス幅が決定される。さらに、 $PWMIC24$  の出力にはドライバ 25 が接続され、このドライバ 25 によりトランジスタ  $SW1$  にゲート制御信号  $SW1$  が出力される。

【0088】

以上のように、(6) 式に基づいた演算をオペアンプ 61 及び割り算器 62 で行なうことにより、 $PWMIC24$  によりパルス幅を決定している。

【0089】

このように本発明の第 6 実施の形態によれば、パルス幅の演算を (6) 式に示すように周期  $T$  の平均電流で計算しているので、電流リップルを充分小さくできるように、インダクタンス  $L$  を大きくして周期  $T$  を短くすることができる。つまり、PWM のスイッチング速度を早くすることができる。さらに、負荷電圧  $V_M$  がチャンバ 19 内のアーク発生により低下した場合には、負荷電圧  $V_M$  が下がった時点でパルス幅の計算結果が出るので、負荷電流  $C_M$  の増加をより小さく抑制することができる。

【0090】

次に、本発明の第 7 実施の形態を図 8 を参照して説明する。図 8 において、図 7 あるいは図 1 と同一部分には同一番号を付し、その詳細な説明については省略する。

【0091】

図 8 において、オペアンプ 61 の一端子に入力される設定電流値  $I_{set}$  は、スパッタリング用電源装置の瞬時電力と設定電力  $P_{set}$  との誤差に基づいて設定され

る。

#### 【0092】

つまり、この第7の実施の形態では、前述した第6の実施の形態の効果と共に、以下のような効果を奏する。つまり、チャンバ19への供給電力が設定電力 $P_{set}$ となるように設定電流 $I_{set}$ を決定している。さらに、チャンバ19内にアークが発生した場合には、スイッチS1をオフすることにより、誤差アンプ22にチャンバ19にアークが発生する直前の値を保持するようにしている。従って、チャンバ19内に供給する電力を設定電力 $P_{set}$ となるように制御しているときに、チャンバ19内にアークが発生すると負荷電流 $CM$ が増加しようとするのを未然に防止することができる。

次に、本発明の第8の実施の形態について図9を参照して説明する。図9の上側の回路図は図6の上側の回路図とほぼ同一であるので、同一部分には同一番号を付し、その詳細な説明については省略する。

#### 【0093】

オペアンプ61の一端子には負荷電圧 $VM$ 、負荷電流 $CM$ 、設定電流値 $I_{set}$ が入力され、このオペアンプ61において、

$I_{set} * L - CM * L + VM * T$ が演算される。

#### 【0094】

そして、割り算器62において、オペアンプ61の出力を入力電圧 $V_i$ で割り算する処理が行なわれる。この割り算器62の出力によりパルス幅が決定される。そして、この割り算器62の出力は、スイッチS2を介してサンプルホールド回路63に入力される。そして、このサンプルホールド回路63の出力は、PWMIC64に入力される。このPWMIC64にはドライバ56a、56bが接続される。このドライバ56aによりスイッチング素子S11、S14の導通が制御され、ドライバ56bによれスイッチング素子S13、S12の導通が制御される。

#### 【0095】

PWMIC64にはタイミング回路65が接続される。このタイミング回路65は、トランスT1を磁気飽和させないように、スイッチング素子S11～S1

4に出力する正、負のパルスを全く同じ幅になるように、スイッチS2を開閉制御してPWMのパルス幅を決定する割り算器62の出力をサンプルホールドする。

#### 【0096】

本発明の第8の実施の形態によれば、パルス幅の演算を(6)式に示すように周期Tの平均電流で計算しているのので、電流リップルを充分小さくできるように、インダクタンスLを大きくして周期Tを短くすることができる。つまり、PWMのスイッチング速度を早くすることができる。さらに、負荷電圧VMがチャンバ19内のアーク発生により低下した場合には、負荷電圧VMが下がった時点でパルス幅の計算結果が出るので、負荷電流CMの増加をより小さく抑制することができる。

#### 【0097】

さらに、このタイミング回路65は、トランスT1を磁気飽和させないように、スイッチング素子S11～S14に出力する正、負のパルスを全く同じ幅になるように、スイッチS2を開閉制御してPWMのパルス幅を決定する割り算器62の出力をサンプルホールドするようにしたので、トランスT1の磁気飽和を防止することができる。

#### 【0098】

次に、本発明の第9の実施の形態を図10を参照して説明する。図10において、図1あるいは図9と同一部分には同一番号を付し、その詳細な説明については省略する。

#### 【0099】

図10において、オペアンプ61の一端子に入力される設定電流値Isetは、スパッタリング用電源装置の瞬時電力と設定電力Psetとの誤差に基づいて設定される。

#### 【0100】

つまり、この第9の実施の形態では、前述した第8の実施の形態の効果と共に、以下のような効果を奏する。つまり、チャンバ19への供給電力が設定電力Psetとなるように設定電流Isetを決定している。さらに、チャンバ19内にアーク

が発生した場合には、スイッチ S 1 をオフすることにより、誤差アンプ 2 2 にチャンバ 1 9 にアークが発生する直前の値を保持するようにしている。従って、チャンバ 1 9 内に供給する電力を設定電力 P set となるように制御しているときに、チャンバ 1 9 内にアークが発生すると負荷電流 CM が増加しようとするのを未然に防止することができる。

次に、本発明の第 1 0 の実施の形態について図 1 1 を参照して説明する。図 1 1 において、図 9 と同一部分には同一番号を付し、その詳細な説明については省略する。図 1 1 においては、マイクロコンピュータ 7 1 を設け、このマイクロコンピュータ 7 1 内で  $I_{set} * L - C_M * L + V_M * T$  を演算して入力電圧  $V_i$  で割り算することによりパルス幅を演算している。これ以外の処理は図 9 の回路と同じ回路により処理される。

#### 【 0 1 0 1 】

このように本発明の第 1 0 の実施の形態では、前述した第 8 の実施の形態と同じ効果を有すると共に、パルス幅の演算をデジタル処理することができる。さらに、パルス幅の演算をデジタル処理化することにより、インダクタンス L の値を学習することができる。このようにインダクタンス L の値を学習制御することにより、より精度の高い制御を行なうことができる。

#### 【 0 1 0 2 】

次に、本発明の第 1 1 の実施の形態を図 1 2 を参照して説明する。図 1 2 は図 1 1 のサンプルホールド回路 6 3 をマイクロコンピュータ 7 1 により行なわせるようにしたものである。従って、タイミング回路 6 5 の出力をマイクロコンピュータ 7 1 に入力させて、サンプルホールド回路 6 3 に相当するソフト処理を行なうタイミングを制御している。

#### 【 0 1 0 3 】

このように第 1 1 の実施の形態によれば、前述した第 8 の実施の形態と同じ効果を有すると共に、パルス幅の演算をデジタル処理することができる。さらに、パルス幅の演算をデジタル処理化することにより、インダクタンス L の値を学習することができる。このようにインダクタンス L の値を学習制御することにより、より精度の高い制御を行なうことができる。

【 0 1 0 4 】

次に、本発明の第 1 2 の実施の形態について図 1 3 を参照して説明する。図 1 3 の回路は、図 1 2 の P W M I C 6 4 及びタイミング回路 6 5 の処理もマイクロコンピュータ 7 1 で行なうようにしたものである。

【 0 1 0 5 】

このようにマイクロコンピュータ 7 1 で P W M パルスを作成することにより、図 9 で示したアナログ回路ではペアパルスによってトランス T 1 の磁気飽和を回避していたのを、マイクロコンピュータ 7 1 の演算により 1 パルス毎に磁気飽和しないパルス幅を決定することができる。さらに、トランス T 1 の磁気履歴もマイクロコンピュータ 7 1 が正確に知ることができる。

【 0 1 0 6 】

【発明の効果】

以上詳述したように本発明によれば、アーク放電が発生してもスパッタ電流の変動を小さくさせることができるスパッタリング用電源装置を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係るスパッタリング用電源装置の構成図。

【図 2】

本発明の第 2 の実施の形態に係るスパッタリング用電源装置の構成図。

【図 3】

本発明の第 3 の実施の形態に係るスパッタリング用電源装置の構成図。

【図 4】

本発明の第 4 の実施の形態に係るスパッタリング用電源装置の構成図。

【図 5】

同第 4 の実施の形態の動作を説明するための波形図。

【図 6】

本発明の第 5 の実施の形態に係るスパッタリング用電源装置の構成図。

【図 7】

本発明の第 6 の実施の形態に係るスパッタリング用電源装置の構成図。

【図 8】

本発明の第 7 の実施の形態に係るスパッタリング用電源装置の構成図。

【図 9】

本発明の第 8 の実施の形態に係るスパッタリング用電源装置の構成図。

【図 1 0】

本発明の第 9 の実施の形態に係るスパッタリング用電源装置の構成図。

【図 1 1】

本発明の第 1 0 の実施の形態に係るスパッタリング用電源装置の構成図。

【図 1 2】

本発明の第 1 1 の実施の形態に係るスパッタリング用電源装置の構成図。

【図 1 3】

本発明の第 1 2 の実施の形態に係るスパッタリング用電源装置の構成図。

【符号の説明】

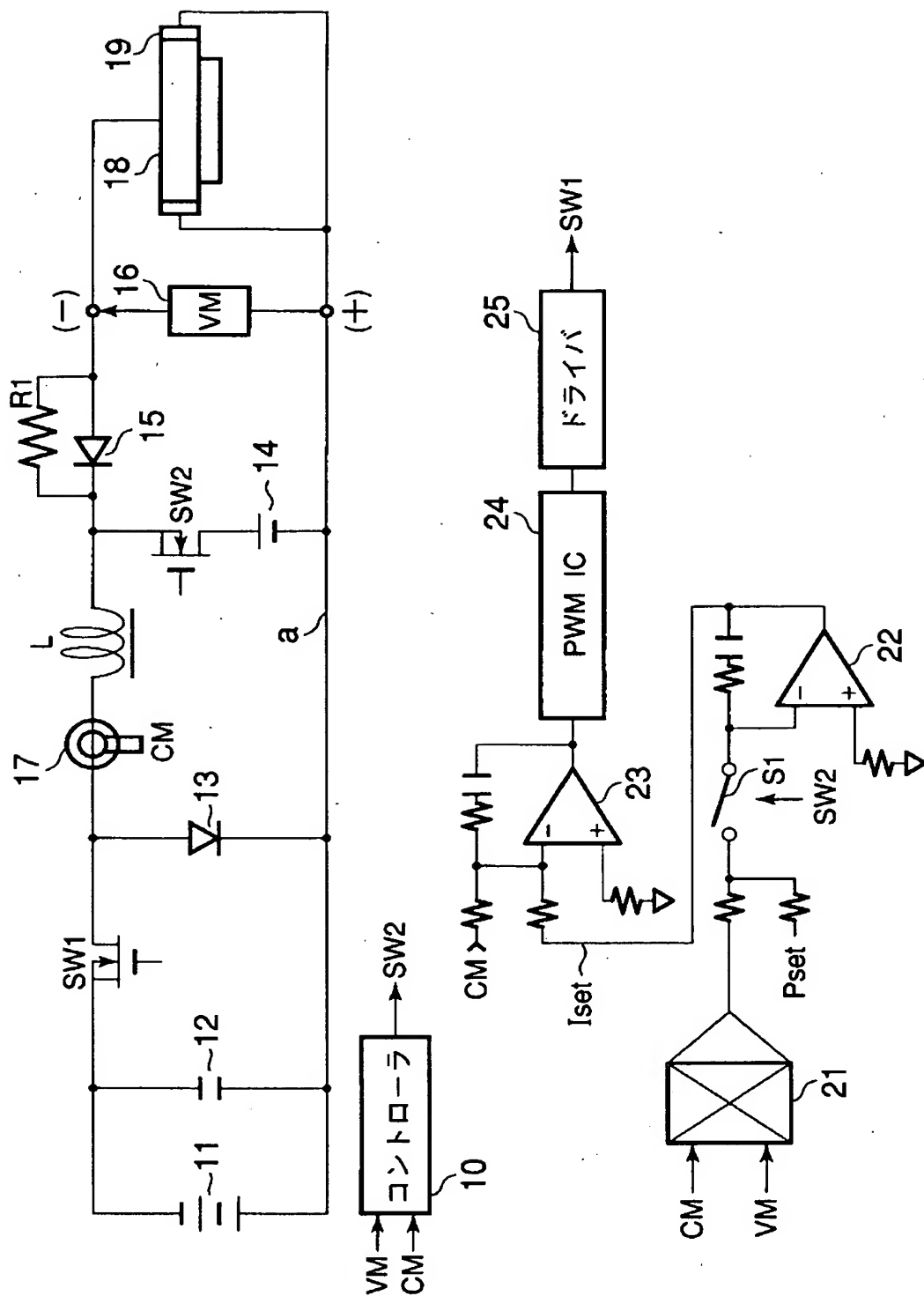
- 1 0 …制御部、
- 1 1 …スパッタリング用直流電源、
- 1 3 …フライホイールダイオード、
- 1 4 …逆電圧源
- 1 5 …ダイオード、
- 1 6 …電圧検出部、
- 1 7 …電流検出器、
- 1 8 …ターゲット、
- 1 9 …チャンバ、
- 2 1 …アナログ乗算器、
- 2 2, 2 3 …誤差アンプ、
- 2 4 …PWMIC、
- 2 5 …ドライバ、
- 3 1, 5 1 …コンパレータ、
- 3 2 …抵抗、

- 4 1 …逆方向アーク防止回路、
- 5 2 …C R 発振回路、
- 5 6 a, 5 6 b …ドライバ、
- 6 1 …オペアンプ、
- 6 2 …割り算器、
- 6 3 …サンプルホールド回路、
- 6 5 …タイミング回路、
- 7 1 …マイクロコンピュータ。

【書類名】

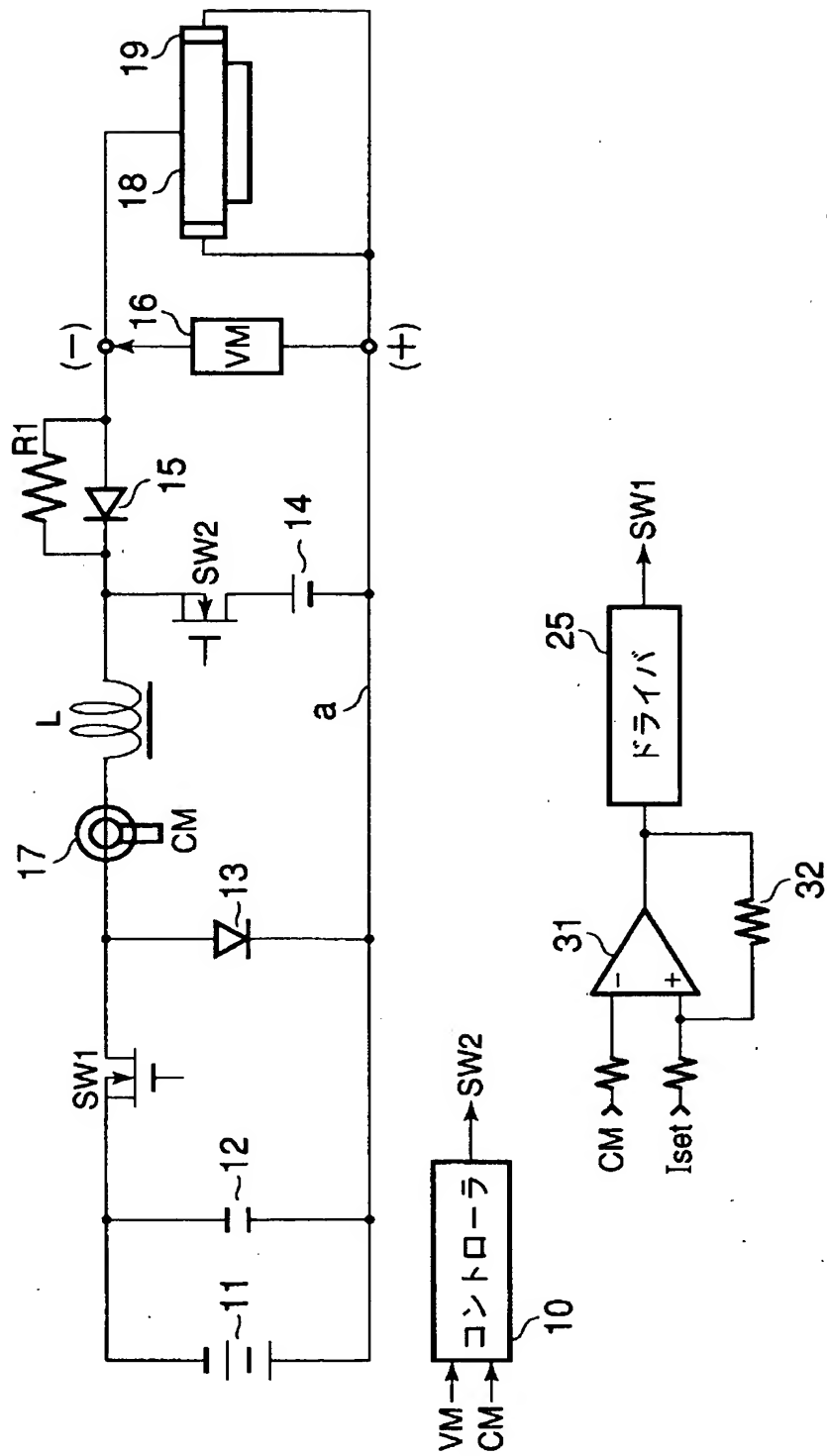
図面

【図 1】

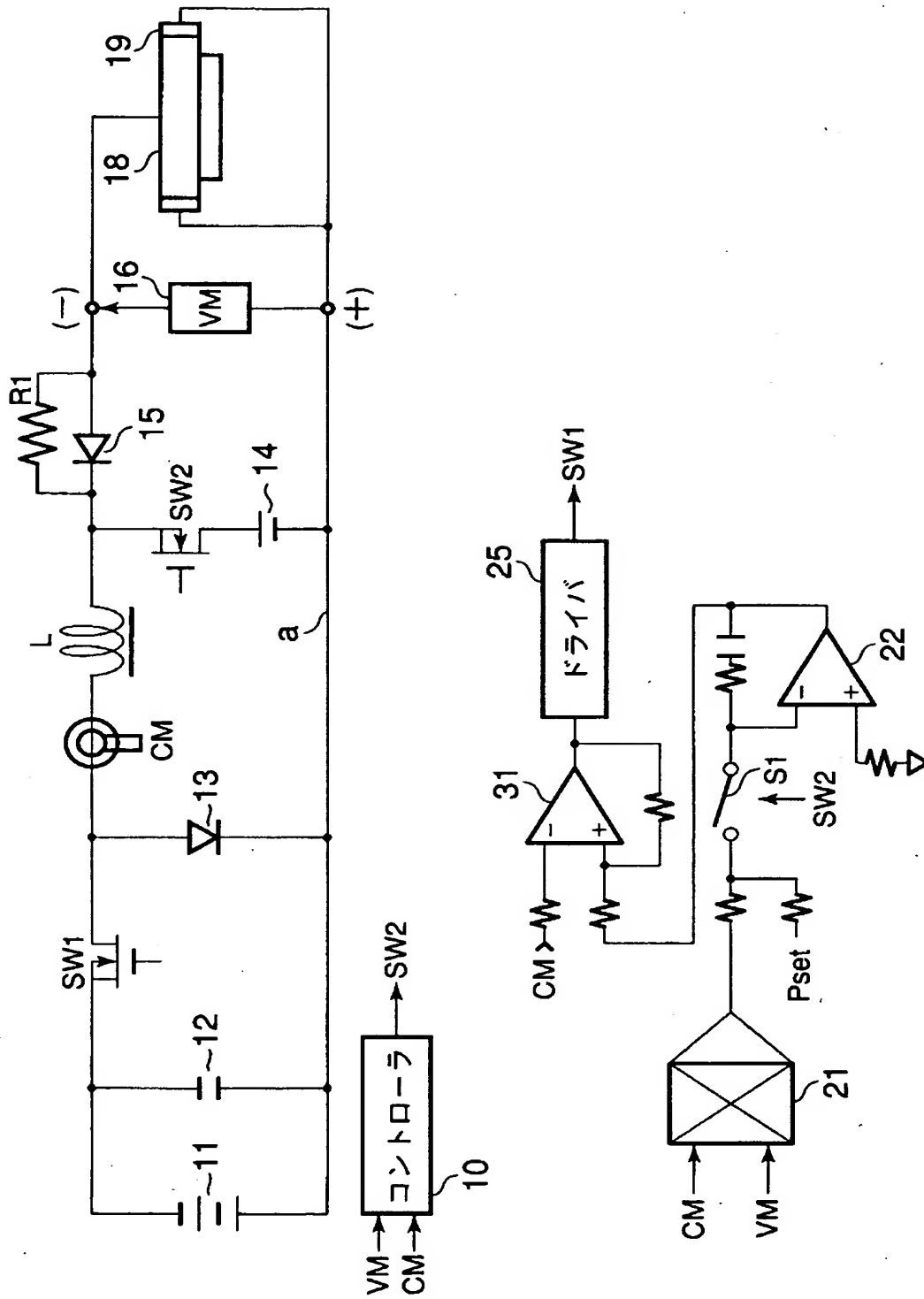




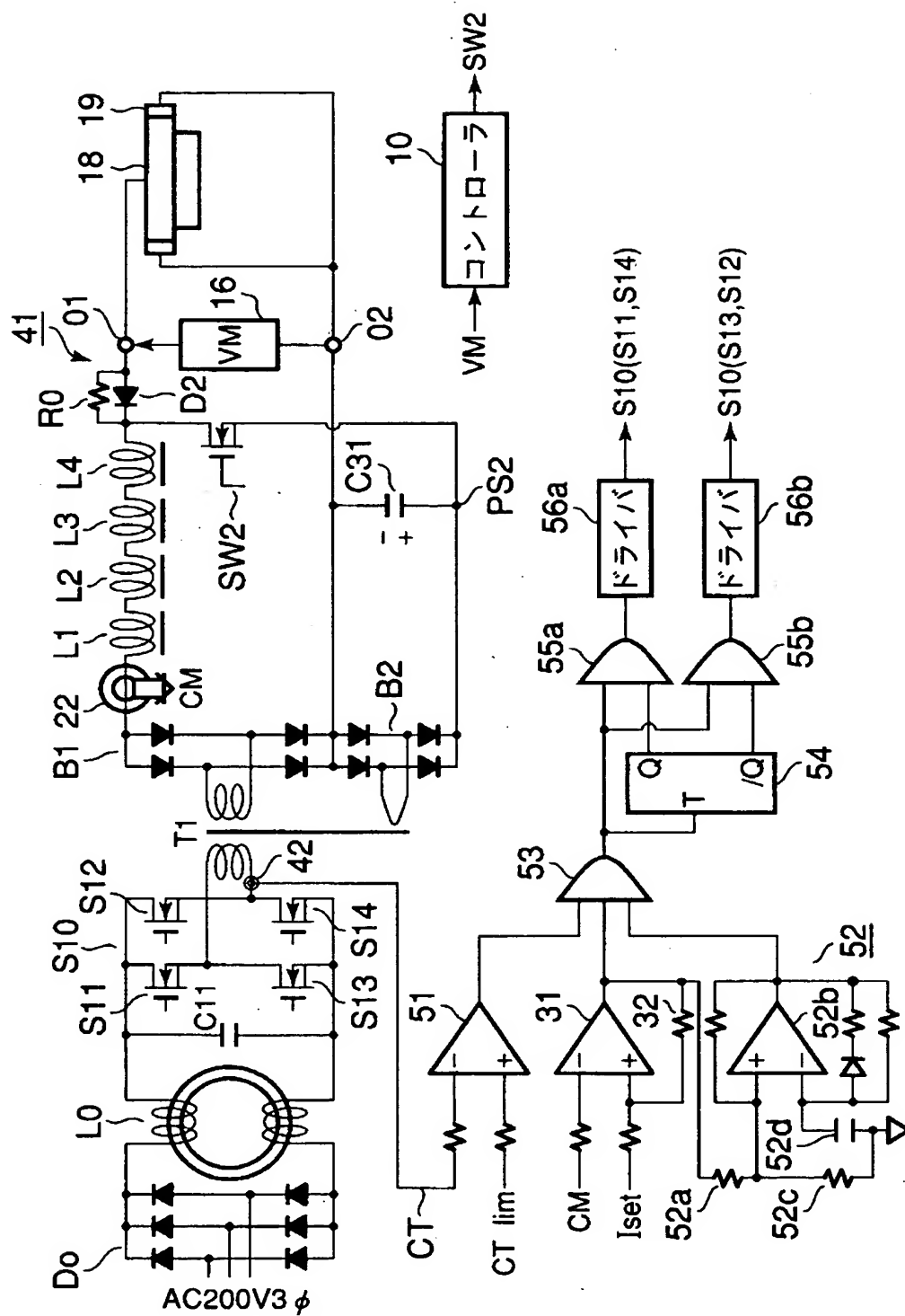
【図 2】



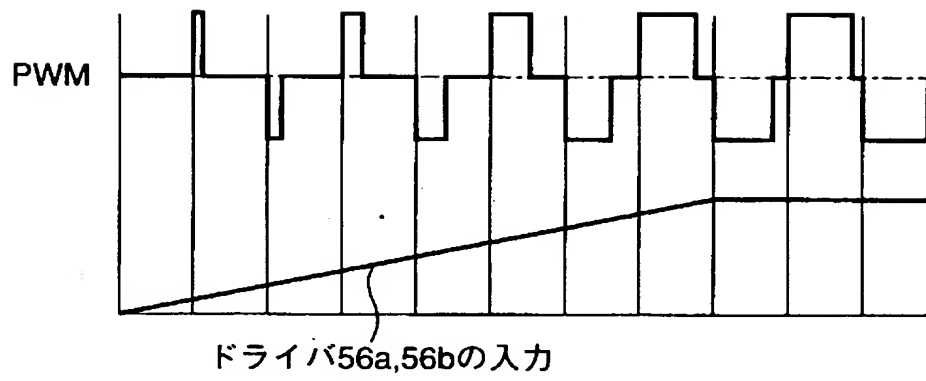
【図 3】



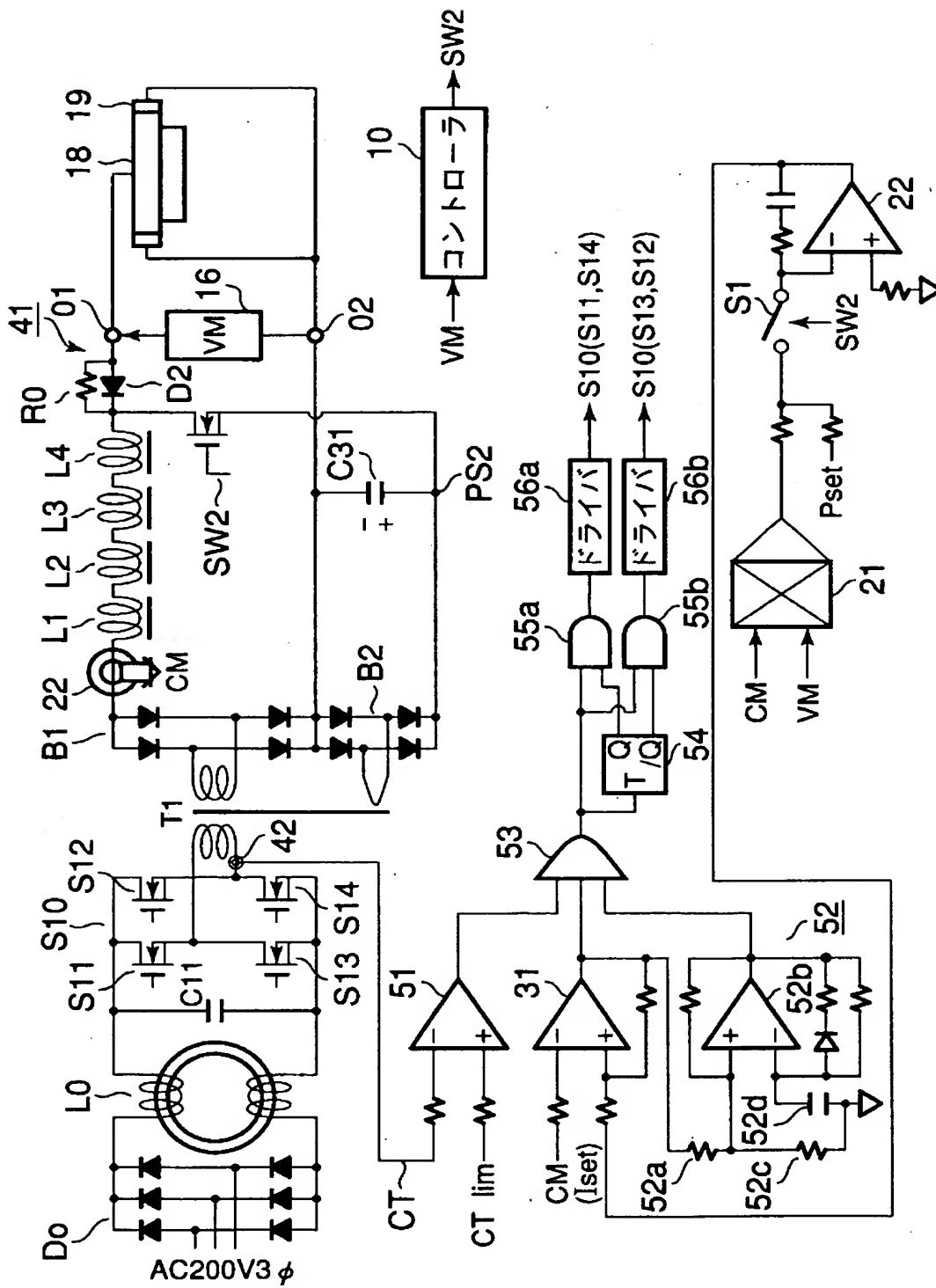
【図 4】



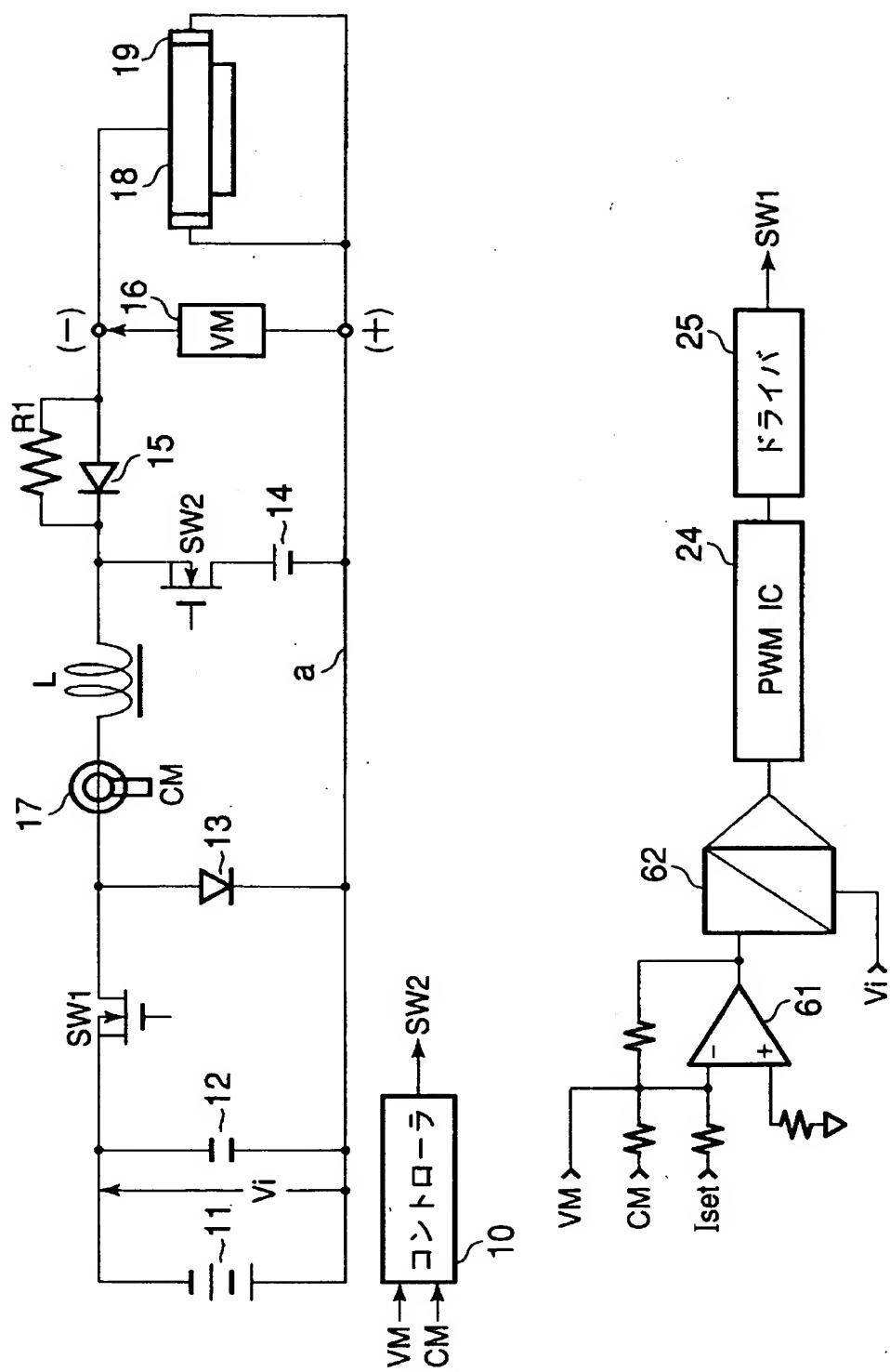
【図 5】



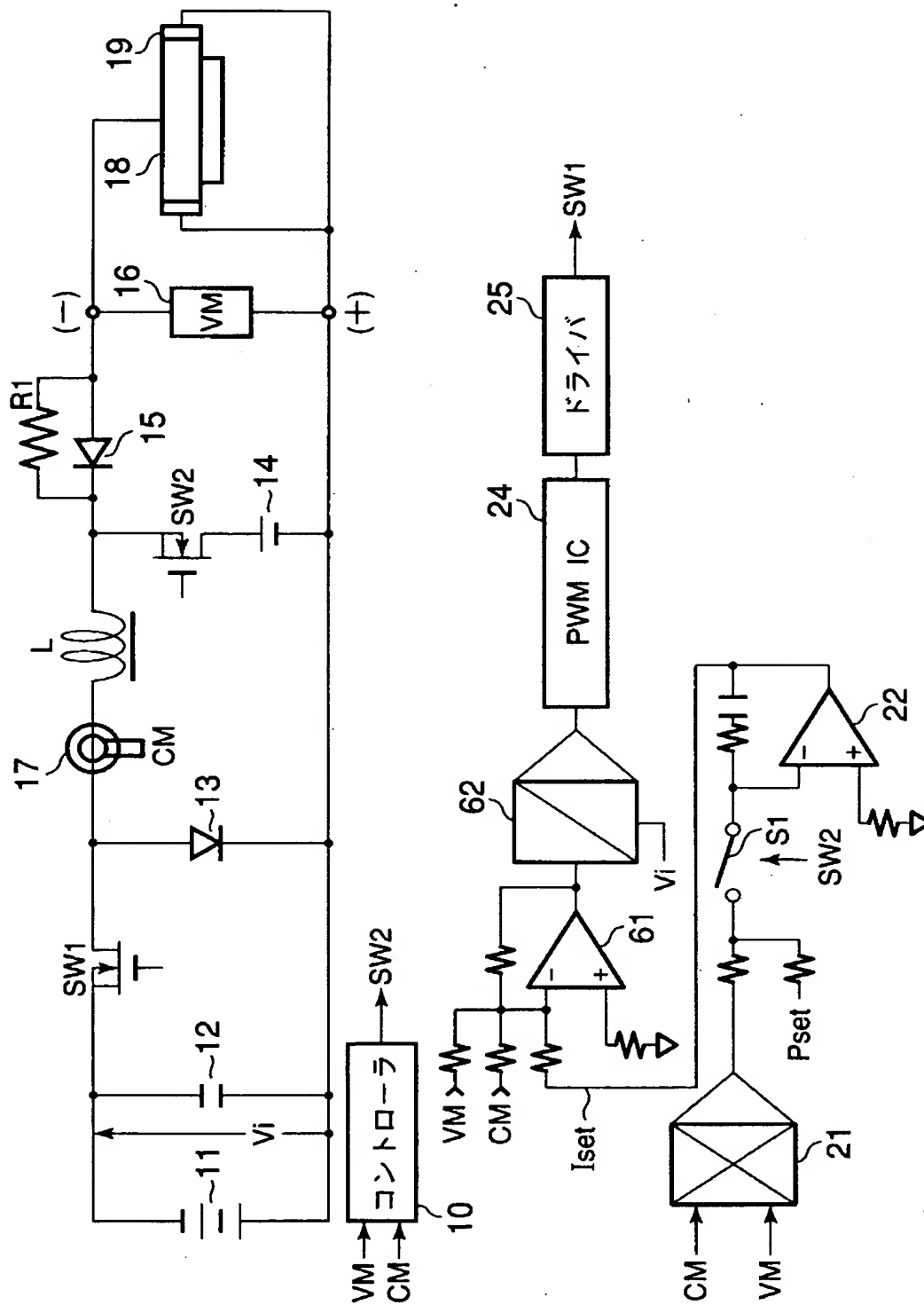
【图 6】



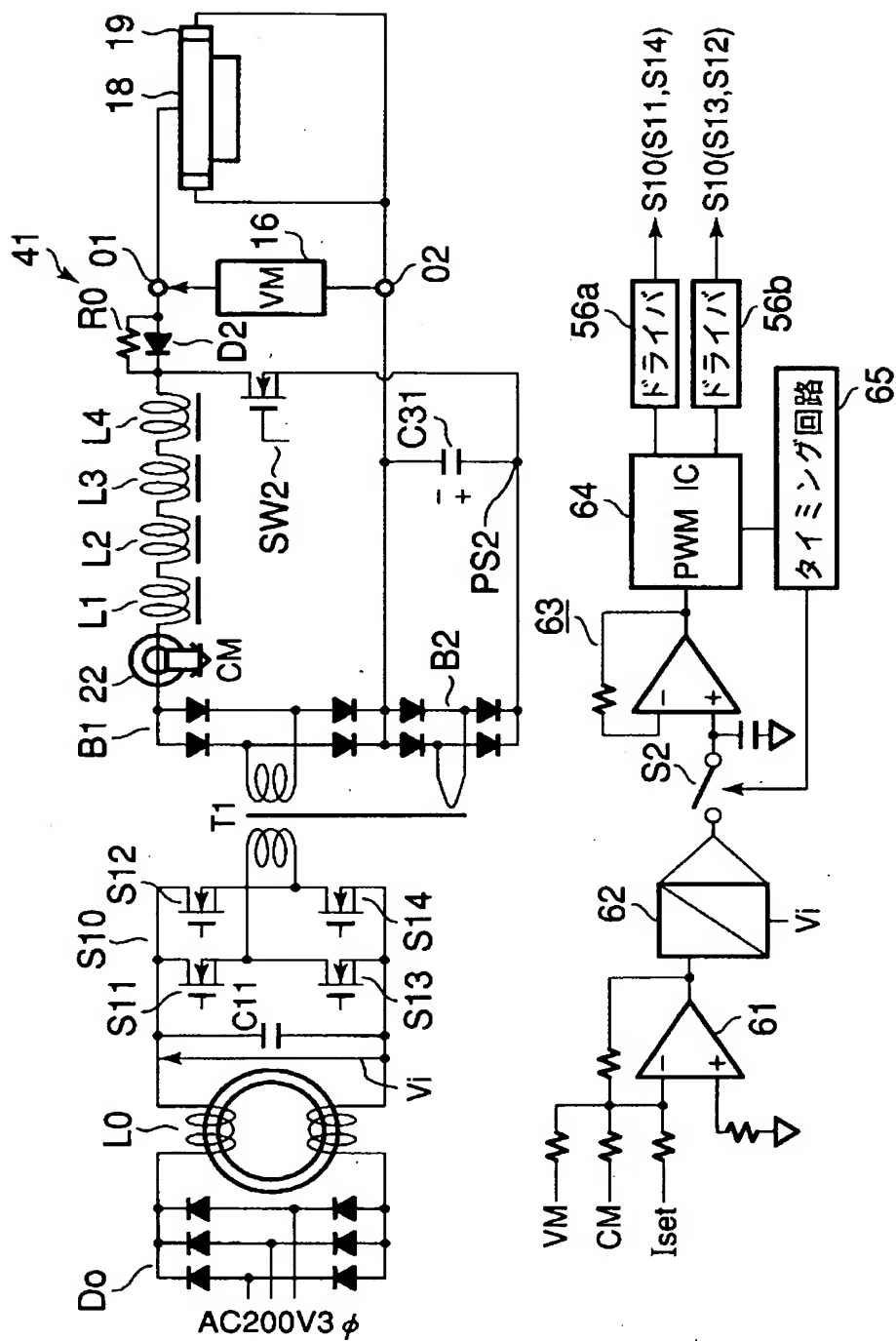
【図 7】



【図 8】

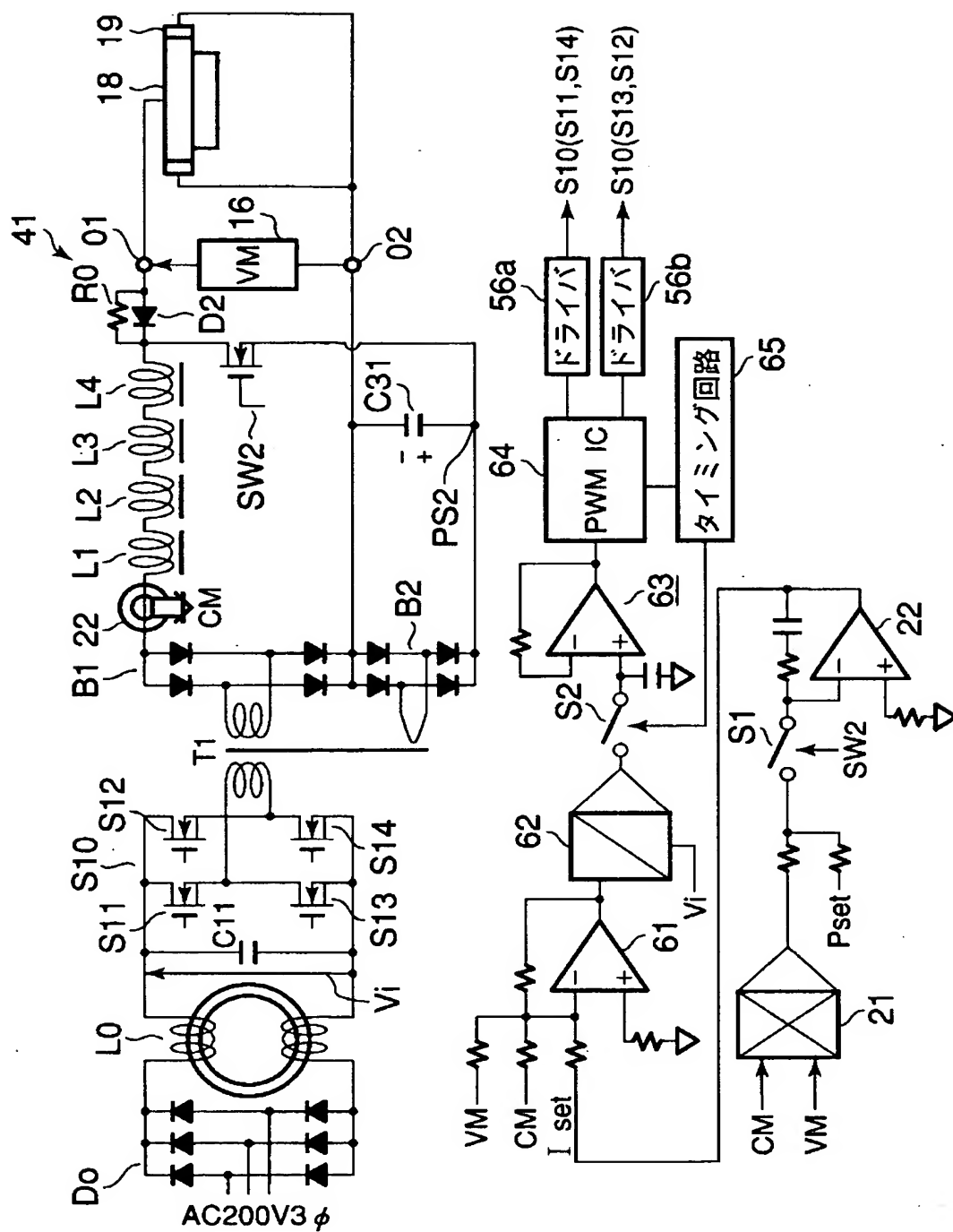


【图9】

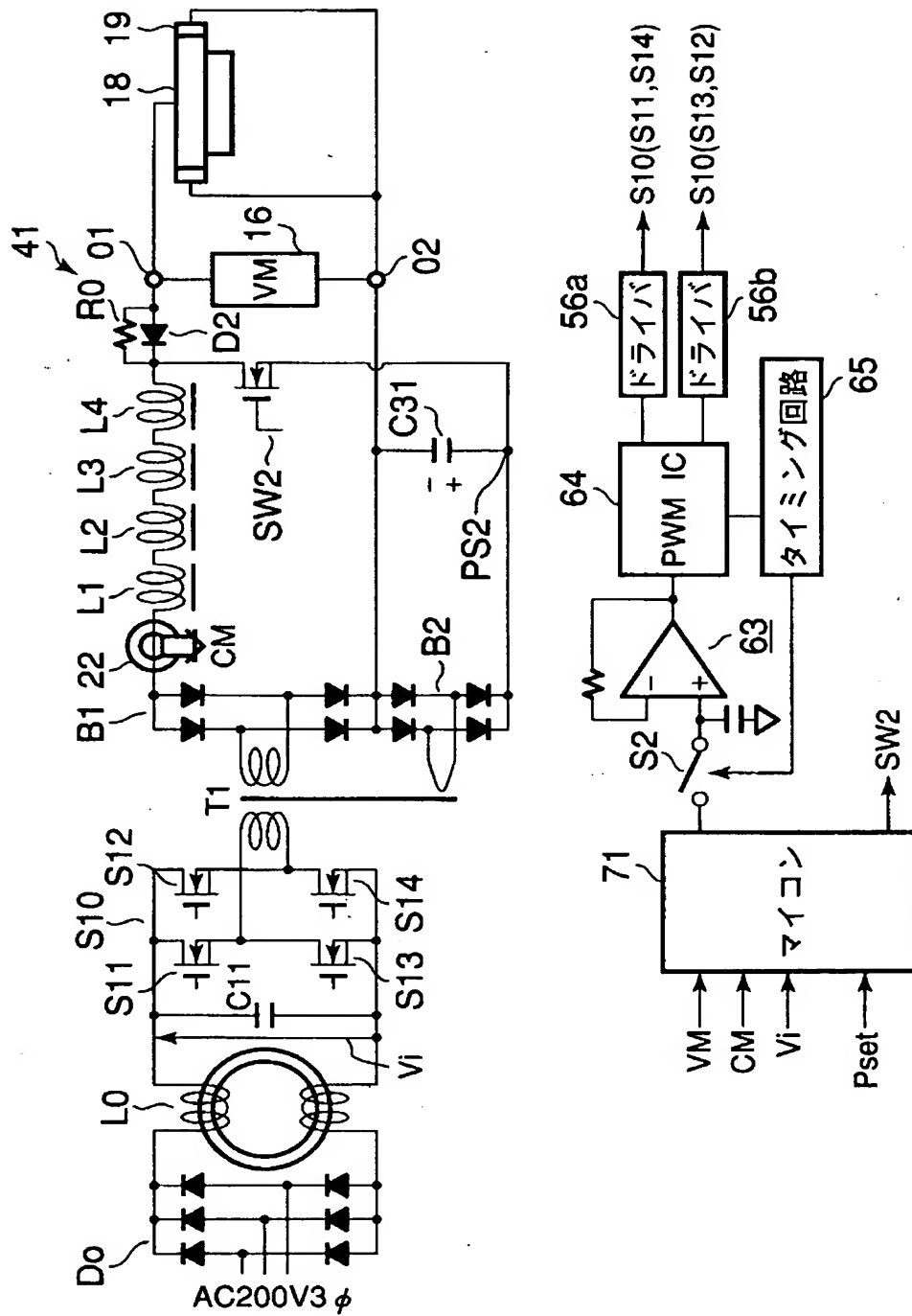




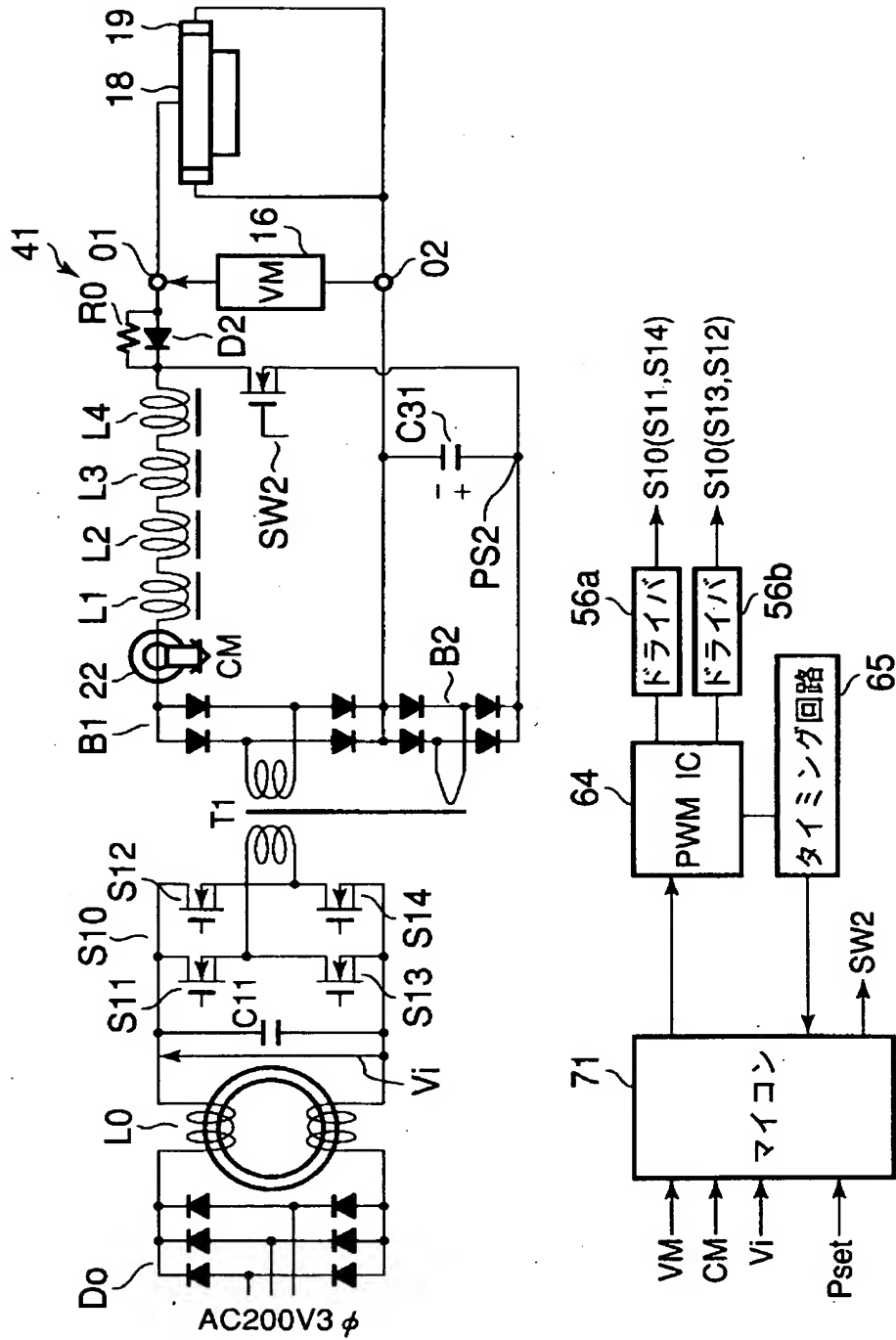
【図 10】



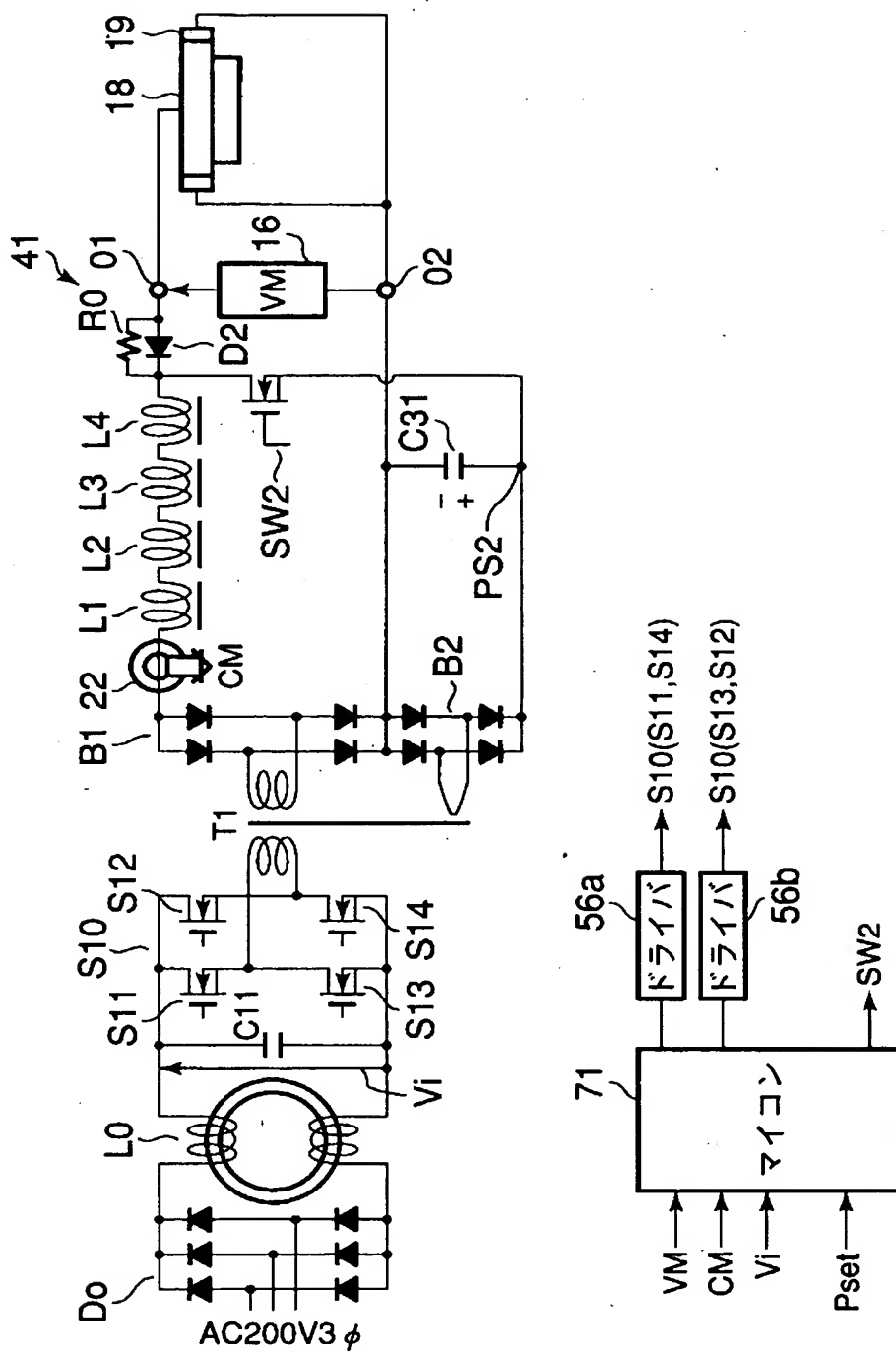
【図 1 1】



【図 1 2】



【图 13】



【書類名】 要約書

【要約】

【課題】 アーク放電が発生してもスパッタ電流の変動を小さくさせることができるスパッタリング用電源装置を提供すること。

【解決手段】 負極出力端子及び正極出力端子を有するスパッタリング用電源装置において、電圧検出手段 1 6 で検出された電圧と電流検出手段 1 7 で検出された電流とから算出された電力と設定電力との誤差を積分する積分手段 2 2 と、電流検出手段で検出された電流値とこの積分手段の出力を電流設定値としての誤差を取る差動アンプ 2 3 と、この差動アンプの出力に応じて第 1 のスイッチング手段 S W 1 を開閉制御するパルス幅を可変するパルス幅可変手段 2 4 と、電圧検出手段で検出された電圧に基づいてアーク発生が検出されたときに第 2 のスイッチング手段 S W 2 が閉じられている間積分手段の動作を停止させる手段 S 1 を具備したことを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002428]

1. 変更年月日 2000年10月23日  
[変更理由] 住所変更  
住 所 神奈川県横浜市栄区笠間2丁目5番1号  
氏 名 芝浦メカトロニクス株式会社
2. 変更年月日 2003年 4月11日  
[変更理由] 名称変更  
住 所 神奈川県横浜市栄区笠間2丁目5番1号  
氏 名 芝浦メカトロニクス株式会社